

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-083642
 (43)Date of publication of application : 25.03.1994

(51)Int.Cl. G06F 9/46
 G06F 9/46

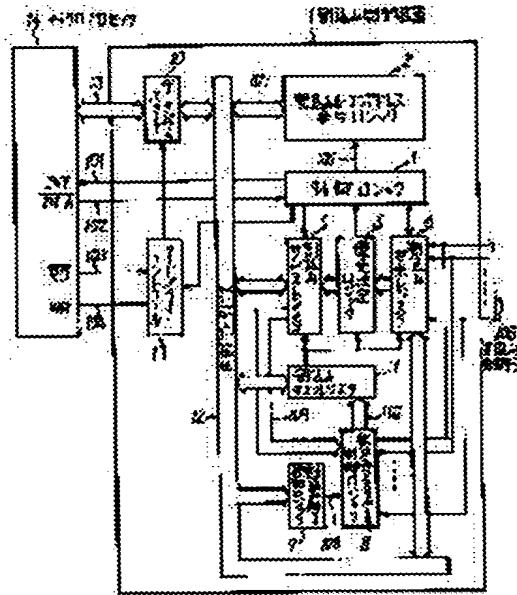
(21)Application number : 04-233202 (71)Applicant : NEC CORP
 (22)Date of filing : 01.09.1992 (72)Inventor : FUKUI TAKAHIRO

(54) INTERRUPTION CONTROLLER

(57)Abstract:

PURPOSE: To accept and process even the interruption requests that have the priority levels lower than those of the priority ordering interruption requests produced continuously by a defect.

CONSTITUTION: An interruption end detecting logic 9 detects the end of the interruptions given from a microprocessor 14. An interruption mask data control logic 8 which receives an interruption end signal 108 generates the interruption mask data 110 based on the state of an interruption service register 6 set when the end of the interruptions is detected and an interruption request signal 105. Then the logic 8 writes the data 110 in an interruption mask register 7. The interruption processing jobs are carried on thereafter based on the data 110.



LEGAL STATUS

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2988139

[Date of registration] 08.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 08.10.2002

Copyright (C); 1998,2003 Japan Patent Office

(19)日本特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-83642

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.
G 06 F 9/46案別記号
3 2 1
3 1 1序内監理番号
8120-5B
E 8120-5B

F I

技術表示箇所

審査請求 本請求 請求項の数1(全10頁)

(21)出願番号 特願平4-233202

(22)出願日 平成4年(1992)9月1日

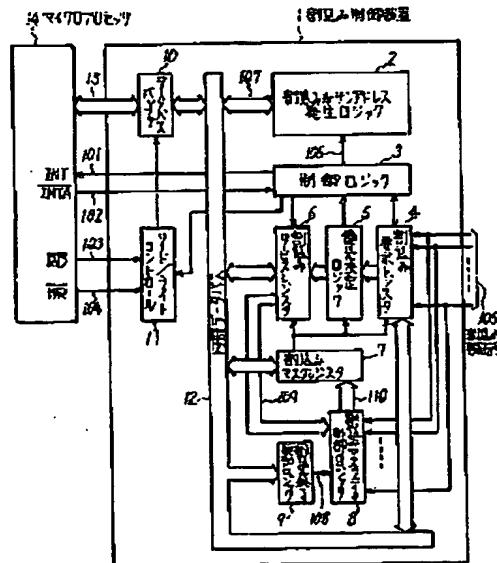
(71)出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (72)発明者 佐井 孝宏
 東京都港区芝五丁目7番1号日本電気株式
 会社内
 (74)代理人 弁護士 京本 直樹 (外2名)

(54)【発明の名称】 割込み制御装置

(57)【要約】

【目的】優先順位付け割込み要求が不具合により遮断して発生した時、それよりも優先順位の低い割込み要求をも受け処理できるようにする。

【構成】割込み終了検知ロジック9でマイクロプロセッサ14からの割込み終了を検知する。割込み終了信号108を受信する割込みマスクデータ制御ロジック8は、割込み終了を検知した時の割込みサービスレジスタ6の状態と割込み要求信号105により割込みマスクデータ110を生成し、割込みマスクレジスタ7に記録する。この割込みマスクデータ110に基づき引き続き割込み処理を行なう。



(2)

特開平6-83642

1

2

【特許請求の範囲】

【請求項1】複数の割込み要求を受け付けて優先順位を決定する手段と、前記割込み要求の禁止情報を保持する手段と、マイクロプロセッサに割込み要求を通知する手段と、割込みルーチンアドレスを発生して前記マイクロプロセッサに送出する手段と、前記マイクロプロセッサからの割込み終了信号を検知する手段と、前記割込み終了検知手段の状態および前記割込み要求を禁止する割込み禁止手段とを有することを特徴とする割込み制御装置。

10

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロコンピュータ等における割込み制御装置に関し、特に複数の割込み要求の優先順位を制御する割込み制御装置に関する。

【0002】

【従来の技術】従来、この種の割込み制御装置はマイクロプロセッサと共に用いられ、外部からマイクロプロセッサへの割込み要求を制御している。

【0003】図8は従来の一例を示す割込み制御装置のプロック図である。図8に示すように、従来の割込み制御装置1aは、外部装置からの割込み要求信号105の状態を保持するための割込み要求レジスタ4と、割込み要求の禁止情報を保持するための割込みマスクレジスタ7と、割込み要求105の優先順位を決定するための優先決定ロジック5と、割込み要求をマイクロプロセッサ14に通知するための制御ロジック3と、割込みルーチンアドレス107を発生するための割込みルーチンアドレス発生ロジック2と、現在受け付けられている割込み要求を示すための割込みサービスレジスタ6とを備えている。また、かかる割込み制御装置1aはこれらその他にデータバスバッファ10と、リード/ライトコントロール11と、内部データバス12とを有している。この割込み制御装置1aはデータバス13によってマイクロプロセッサ14と接続され、しかも割込み(INT)信号101と、割込みアクノリッジ(INTA)信号102と、リード信号103およびライト信号104との送受信を行う。尚、割込み要求信号105は通常複数本存在し、各々装置が接続されている。

【0004】まず、各装置からの割込み要求が発生すると、割込み制御装置1aに割込み要求信号105が送出され、割込み要求レジスタ4をセットする。複数の割込み要求が発生した場合は、優先決定ロジック5が割込みマスクレジスタ7の内容を参照して割込み要求信号105の優先度を決定する。マイクロプロセッサ14に対する割込み要求は制御ロジック3を経由し、割込み(INT)信号101によって通知される。

【0005】次に、マイクロプロセッサ14は割込み信号(INT)101を受信し割込みを受け付けてもよいと判断すると、割込みアクノリッジ(INTA)信号1

02を制御ロジック3に出力する。この割込みアクノリッジ(INTA)信号102を受け取ると、制御ロジック3は割込みルーチンアドレス発生ロジック2に割込みルーチンアドレス発生信号106を出力する。割込みルーチンアドレス発生ロジック2は最も優先度の高い割込みのルーチンアドレス107を内部データバス12と、データバスバッファ10を経由したデータバス13に出力する。この時、該当する割込み要求レジスタ4がクリアされ、該当する割込みサービスレジスタ6をセットする。

【0006】一方、マイクロプロセッサ14はデータバス13より割込みルーチンアドレス107を取り込み、割込み処理を行う。このマイクロプロセッサ14での割込み処理が終了すると、マイクロプロセッサ14は外部装置に対し割込み終了データを通知する。これにより、該当する割込みサービスレジスタ6がクリアされる。また、この時までに割込み要求信号105はインアクティブにする必要がある。

【0007】更に、リード/ライトコントロール11はマイクロプロセッサ14よりリード(RD)信号103およびライト(WR)信号104を受信し、リードあるいはライトの制御を行いくが、割込み動作とは直接関係ないので、説明を省略する。

【0008】図9は図8に示す割込み制御装置の割込み動作のタイミング図である。図9に示すように、まず割込み要求信号105がアクティブになり割込み要求があることを知らせると、割込み制御装置1aは割込み(INT)信号101をアクティブにしてマイクロプロセッサ14へ出力する。次に、マイクロプロセッサ14は割込み(INT)信号101を受け付けた後、割込みアクノリッジ(INTA)信号102を返送する。この割込みアクノリッジ信号102は2回のパルスが送出される。

【0009】一方、割込みルーチンアドレス107は割込みアクノリッジ(INTA)信号102の2回目のパルスに対応してデータバス13に出力される。しかる後、マイクロプロセッサ14での割込み処理が終了すると、マイクロプロセッサ14は外部装置に対し割込み終了データを通知する。この時までに割込み要求信号105はインアクティブになっている必要がある。

【0010】

【発明が解決しようとする課題】上述した従来の割込み制御装置は、優先順位の高い割込み要求に対する処理が終了した時、マイクロプロセッサからの割込み終了の通知がある前に、この割込み要求をインアクティブにする必要がある。そのため、かかる割込み要求に不具合が発生し且つこの割込み要求がアクティブになったままのとき、新たな割込み要求が発生したと判断して再び割込み処理を開始する。その結果、優先順位の低い割込み要求は、マイクロプロセッサからの命令により割込みマスクレジスタの内容を変更しない限り、いつまでたっても受

49

50

(3)

特開平6-83642

3

け付けられないという欠点がある。

【0011】本発明の目的は、かかる優先度の高い割込み要求が連続して発生したときでも、割込み禁止情報を変更せずに優先度の低い割込み要求も受け付けられるようにする割込み制御装置を提供することにある。

【0012】

【課題を解決するための手段】本発明の割込み制御装置は、複数の割込み要求を受け付けて優先順位を決定する割込み禁止手段と、前記割込み要求の禁止情報を保持する手段と、マイクロプロセッサに割込み要求を通知する手段と、割込みルーチンアドレスを発生して前記マイクロプロセッサに出力する手段と、前記マイクロプロセッサからの割込み終了信号を検知する手段と、前記割込み終了検知手段の状態および前記割込み要求を禁止する手段とを有して構成される。

【0013】

【実施例】次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例を示す割込み制御装置のブロック図である。図1に示すように、本実施例の割込み制御装置1は、外部装置からの割込み要求105の状態を保持するための割込み要求レジスタと、割込み要求の禁止情報を保持するための割込みマスクレジスタ7と、割込み要求の優先順位を決定するための優先決定ロジック5と、割込み要求をマイクロプロセッサ14に通知するための制御ロジック3と、割込みルーチンアドレスを発生するための割込みルーチンアドレス発生ロジック2と、現在受け付けられている割込み要求を示すための割込みサービスレジスタ6と、マイクロプロセッサ14からの割込み終了を検知するための割込み終了検知ロジック9と、この割込み終了検知ロジック9の状態と割込み要求信号105および割込みサービスレジスタ6からの情報により割込みマスクレジスタ7に書込むデータを制御するための割込みマスクデータ制御ロジック8と、データバスバッファ10と、リード/ライトコントロール11と、内部データバス12とを有している。この割込み制御装置1は割込み(INT)信号101と、割込みアクノリッジ(INTA)信号102と、リート信号103およびライト信号104とをマイクロプロセッサ14との間でやり取りし、データはデータバス13により転送される。尚、割込み要求信号105は通常複数本存在し、各々装置が接続されている。

【0014】まず、各装置からの割込み要求が発生すると、割込み要求信号105により割込み制御装置1の割込み要求レジスタ4をセットする。このとき、複数の割込み要求が発生した場合は優先決定ロジック5が割込みマスクレジスタ7の内容を参照して割込み要求信号105の優先度を決定する。この優先決定ロジック5で優先度が決定されると、制御ロジック3を駆動してマイクロプロセッサ14に対する割込み要求が行なわれる。すなわち、制御ロジック3は割込み(INT)信号101に

4

よって通知する。

【0015】次に、マイクロプロセッサ14は割込み信号(INT)101を受け付けた後割込み制御装置1の制御ロジック3に出力する。このマイクロプロセッサ14からの割込みアクノリッジ(INTA)信号102を受け取ると、制御ロジック3は割込みルーチンアドレス発生ロジック2に対し割込みルーチンアドレス発生信号106を出力する。この割込みルーチンアドレス発生回路2からは、最も優先度の高い割込みルーチンアドレス107が内部データバス12と、データバスバッファ10を経由したデータバス13に出力される。この時、該当する割込み要求レジスタ4がクリアされ、該当する割込みサービスレジスタ6がセットされる。一方、マイクロプロセッサ14はデータバス13より割込みレーチンアドレス107を取り込み、割込み処理を実行する。しかる後、マイクロプロセッサ14での割込み処理が終了すると、マイクロプロセッサ14は外部装置に対し割込み終了データを通知するとともに、該当する割込みサービスレジスタ6をクリアさせる。これにより、割込み終了検知ロジック9は割込み終了データをデコードして割込み終了信号108と、割込み要求信号105と、割込みサービスレジスタ6からの割込みサービス信号109とが入力される。

【0016】図2は図1に示す割込みマスクデータ制御ロジックの構成図である。図2に示すように、この割込みマスクデータ制御装置8はアンド素子24～26と、ラッチ21～23とにより構成される。いま、一つの割込み要求信号105が受け付けられ、その後割込み終了データが通知されたにもかかわらず割込み要求信号105がアクティブのままであるとする。かかる場合には、該当する割込み要求のアンド素子24の出力信号がアクティブになるとする。このため、割込み終了信号108に対応して該当するラッチ21にデータが保持され、割込みマスクデータ110が出力される。従って、この割込みマスクデータ110は割込み終了信号108に対応して割込みマスクレジスタ7に書込まれる。このため、割込み要求は割込み禁止となり、かかる割込み要求よりも優先度の低い割込み要求を受け付けることが出来るようになる。

【0017】図3は図1に示す割込み終了検知ロジックの構成図である。図3に示すように、この割込み終了検知ロジック9はEXNOR素子27～29と、NAND素子30とにより構成される。これらEXNOR素子27～29には、内部データバス12からのデータと割込み終了データとが入力され、その結果最終的にNAND素子30より割込み終了信号108が出力される。

【0018】図4は図1および図2に示す割込みマスクデータ制御ロジックの動作タイミング図である。図4に示すように、データバス13に割込み終了データが送られてくると、割込み終了検知ロジック9で割込み終了信

(4)

特開平6-83642

5

号108をアクティブにする。ここで、割込み終了信号108が送られきた時に割込みマスクデータ制御ロジックに入力される割込み要求信号105がアクティブのままであったとする。しかるに、割込み終了信号108と割込み要求信号105と割込みサービス信号109により、割込みマスクデータ制御ロジック8は割込みマスクデータ110を生成する。この割込みマスクデータ110により割込みマスクレジスタ?を設定すれば、割込み要求信号105がアクティブのままであったときにこの割込み要求をマスクするので、優先順位の低い割込み要求でも受け付けることができる。

【0019】図5は本発明の他の実施例を説明するための割込み制御装置における割込みマスクデータ制御ロジックの構成図である。図5に示すように、本実施例における割込みマスクデータ制御ロジック8は立上がり検出回路31、33、35と、立下がり検出回路32、34、36と、これらの検出回路31、33、35の出力および割込み要求信号105の論理積をとるアンド要素24、25、26と、SRフリップフロップ37、38、39と、これらフリップフロップ37～39の出力を一時記憶するラッチ21、22、23とにより構成される。

【0020】まず、割込み要求信号105が発生し、割込み制御装置1がマイクロプロセッサ14に対して割込みルーチンアドレス107を出力するところまでは、前述した一実施例と同じ動作である。この時、該当割込み要求レジスタ4はクリアされ、該当する割込みサービスレジスタ6はセットされるので、割込みマスクデータ制御ロジック8のフリップフロップ37はセットされる。しかる後、割込み終了データがマイクロプロセッサ14から通知されたとき、該当する割込み要求信号105がアクティブのままであると、かかるフリップフロップ30はセットされたままであるので、割込み終了信号108に同期して割込み要求信号105が禁止される。

【0021】次に、割込み終了データがマイクロプロセッサ14から通知される以前に、該当する割込み要求信号105がインアクティブになったとする。この場合、立下がり検出回路32、34、36で割込み要求信号105の立下がりを検知し、フリップフロップ37～39をリセットする。その後、該当する割込み要求信号105がインアクティブのままであれば、割込みマスクレジスタ?の内容は変更されず、通常の割込み制御を続ける。また、該当する割込み要求信号105がもう一度アクティブになった時でも、フリップフロップ37はリセットされたままであるので、該当する割込み要求は受け付けられる。

【0022】このように、本実施例は一つの割込み要求がアクティブになり且つ割込み制御装置1に受け付けられた後、マイクロプロセッサ14からの割込み終了の通知を受ける以前にこの割込み要求が一度インアクティブ

6

になり、もう一度前記割込み要求が発生してアクティブになったときにでも、前記割込み要求を禁止することなしに制御を続けることが出来るという利点を有する。

【0023】図6は図5に示す割込みマスクデータ制御ロジックにおける割込み要求信号が一度もインアクティブにならなかつたときの動作タイミング図である。図6に示すように、割込み要求信号105がマイクロプロセッサ14からの割込み終了データを受けるまでに一度もインアクティブにならなかつた場合は、割込みマスクデータ110が出力される。

【0024】図7は図5に示す割込みマスクデータ制御ロジックにおける割込み要求信号が一度インアクティブになったときの動作タイミング図である。図7に示すように、割込み要求信号105がマイクロプロセッサ14からの割込み終了データを受けるまでに一度インアクティブになり、もう一度アクティブになった場合は、割込みマスクデータ110が出力されない。尚、111は図5におけるフリップフロップ37の出力である。

【0025】

【発明の効果】以上説明したように、本発明の割込み制御装置は、マイクロプロセッサからの割込み終了信号を検知する割込み終了検知ロジックと、この割込み終了検知ロジックの状態および割込み要求信号により割込み要求を禁止する割込みマスクデータ制御ロジックとを有することにより、優先度の高い割込み要求が連続して発生したときでも、マイクロプロセッサの命令により、割込み禁止情報を変更することなしに優先順位の低い割込み要求を受け付けることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す割込み制御装置のブロック図である。

【図2】図1に示す割込みマスクデータ制御ロジックの構成図である。

【図3】図1に示す割込み終了検知ロジックの構成図である。

【図4】図1および図2に示す割込みマスクデータ制御ロジックの動作タイミング図である。

【図5】本発明の他の実施例を説明するための割込み制御装置における割込みマスクデータ制御ロジックの構成図である。

【図6】図5に示す割込みマスクデータ制御ロジックにおける割込み要求信号が一度もインアクティブになるなかつたときのタイミング図である。

【図7】図5に示す割込みマスクデータ制御ロジックにおける割込み要求信号が一度インアクティブになったときの動作タイミング図である。

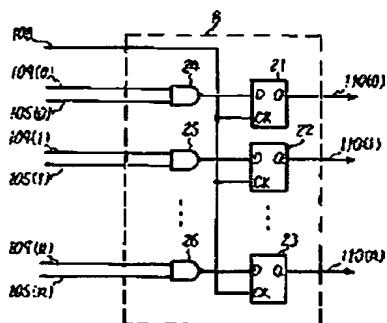
【図8】従来の一例を示す割込み制御装置のブロック図である。

【図9】図8に示す割込み制御装置の動作タイミング図である。

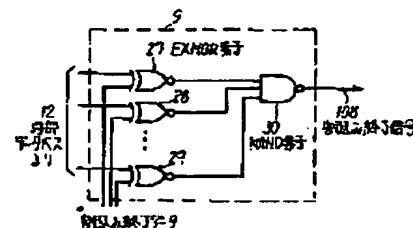
(5) 特開平6-83642

7	*	24~26 アンド素子
1	27~29 EXNOR素子	割込み制御装置
2	30 ナンド素子	割込みルーチンアドレス発生ロジック
3	31, 33, 35 立上がり検出回路	制御ロジック
4	32, 34, 36 立下がり検出回路	割込み要求レジスタ
5	37~39 フリップフロップ	優先決定ロジック
6	101 割込み(INT)信号	割込みサービスレジスタ
7	105 割込み要求信号	割込みマスクレジスタ
8	106 割込みルーチンアドレス発生信号	割込みマスクデータ制御ロジック
9	107 割込みルーチンアドレス	割込み終了検知ロジック
12	108 割込み終了信号	内部データバス
13	109 割込みサービス信号	データバス
21~23	110 割込みマスクデータ	ラッチ

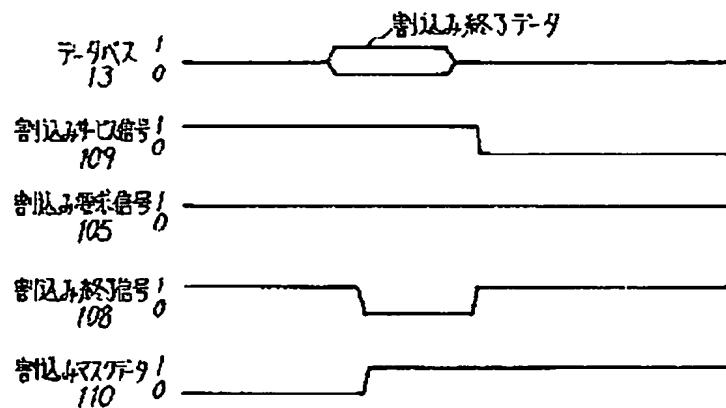
[図2]



[図3]



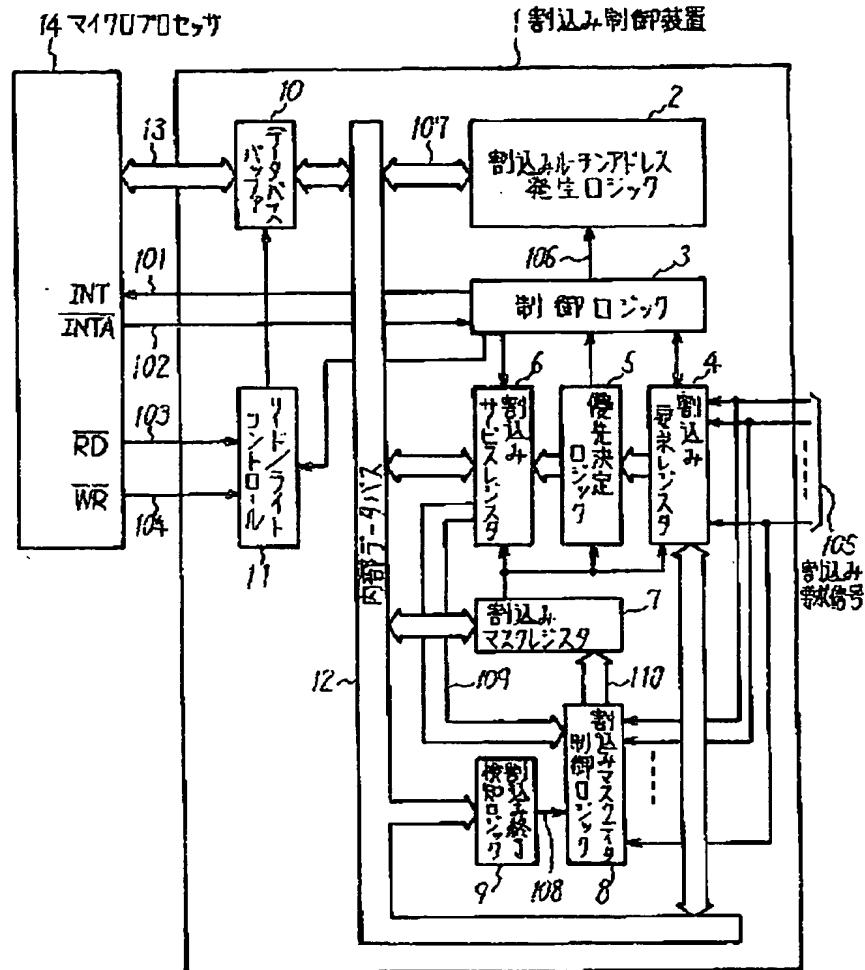
[図4]



(5)

特開平6-83642

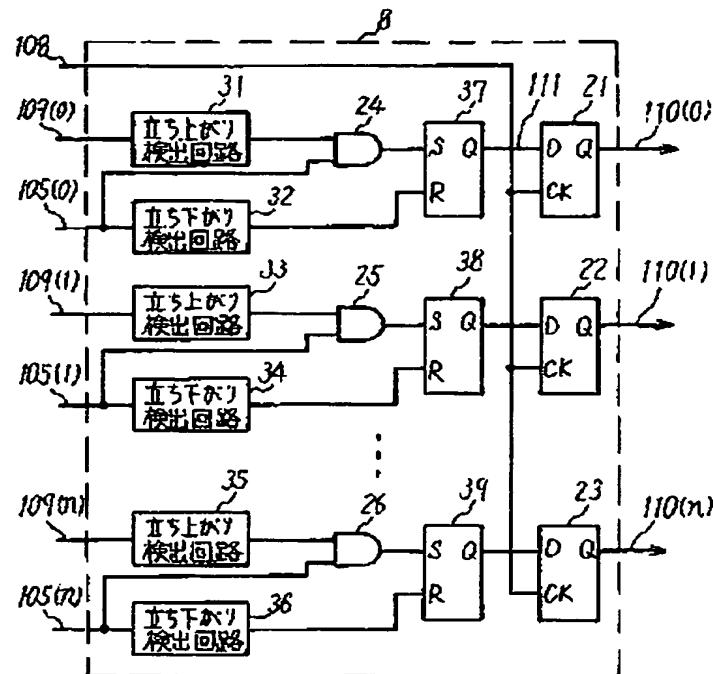
【図1】



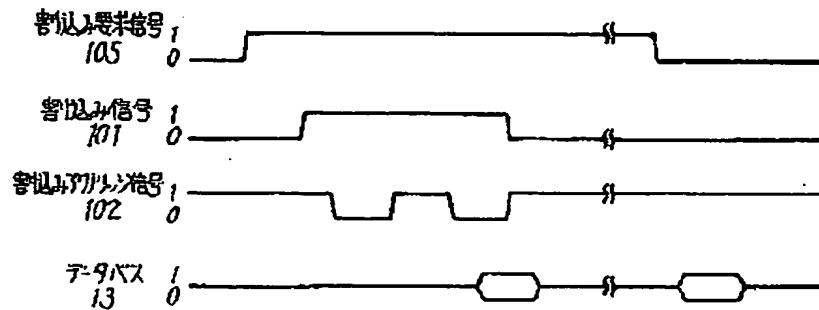
特開平6-83642

(7)

[図5]



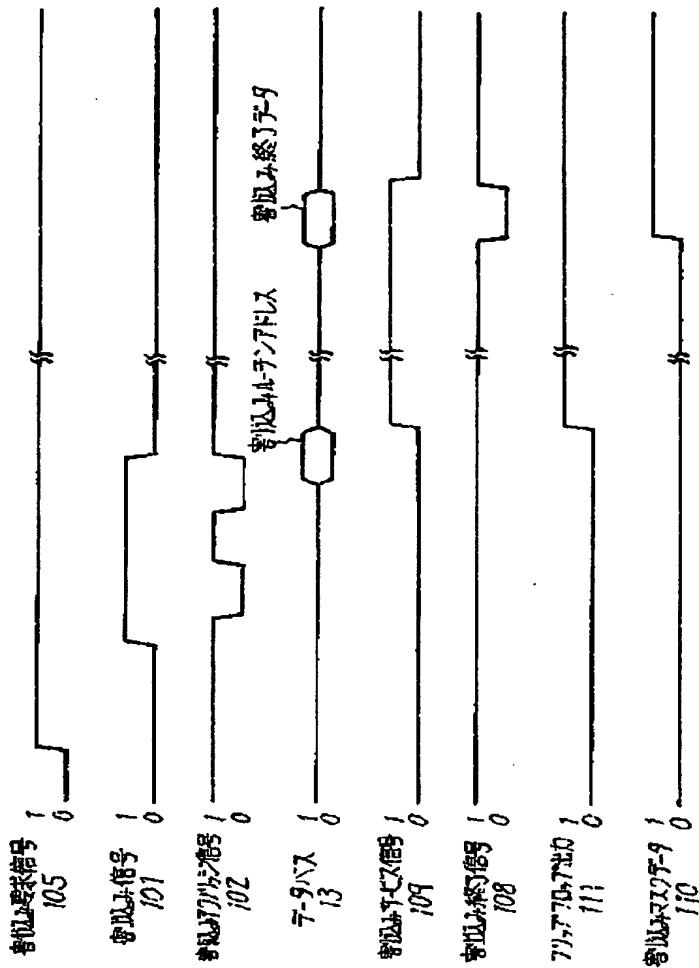
[図9]



(3)

特開平6-83642

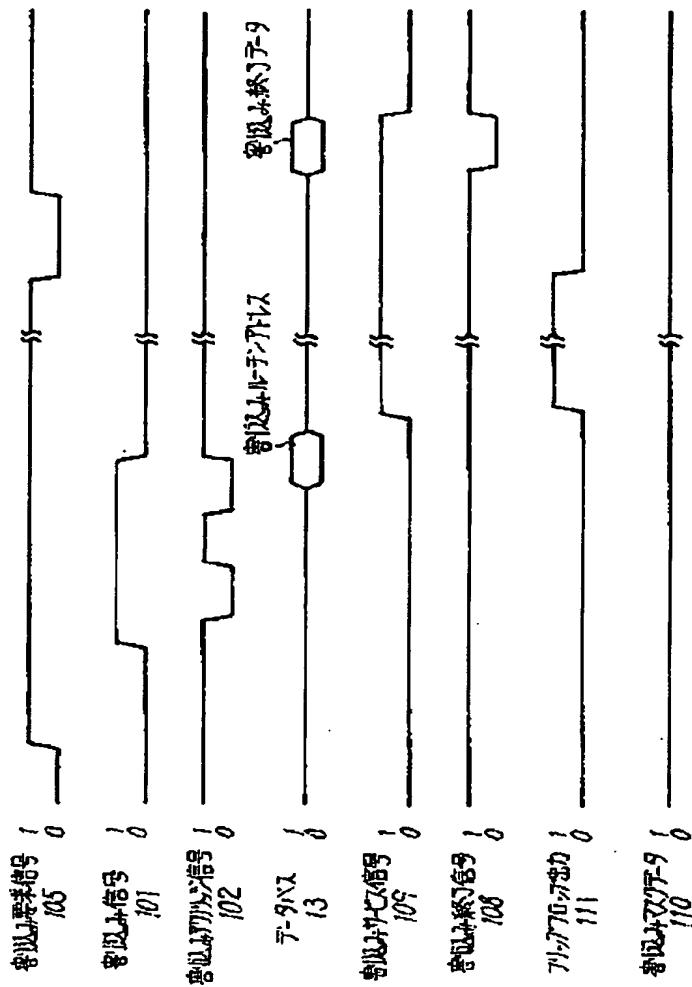
[図6]



(9)

特開平6-83642

【図7】



(10)

特開平6-83642

【図8】

